

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003938

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

H01L 21/768
G02F 1/1345
G02F 1/136
H01L 27/12
H01L 29/786
H01L 21/336

(21)Application number : 09-154119

(71)Applicant : SHARP CORP
SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 11.06.1997

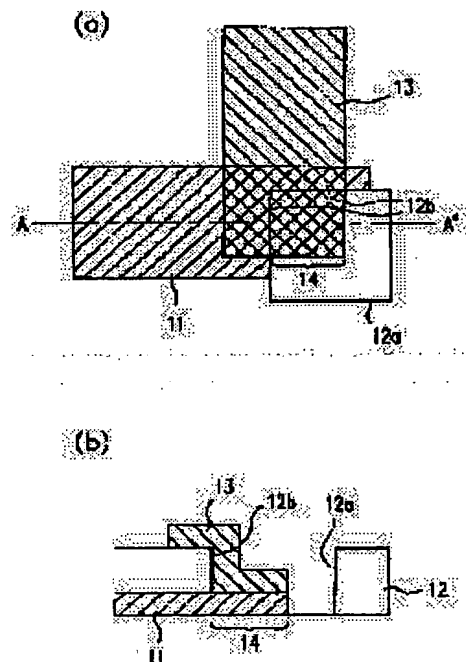
(72)Inventor : KUBOTA YASUSHI
SHIRAKI ICHIRO
SAKAI TAMOTSU
CHIYOU KOUYUU
KOYAMA JUN

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE, AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a connection part of two conductive patterns, when employing a structure for connecting the two conductive patterns through an insulation film.

SOLUTION: A first conductive layer 11, a layer insulation film 12 and a second conductive layer 13 are laminated sequentially, and the first conductive layer 11 is connected to the second conductive layer 13 through an opening 12a of the layer insulation film 12. In the opening part 12a of the layer insulation film 12, the first conductive layer 11 and the second conductive layer 13 are formed to identical configuration, and the part of the same configuration becomes a connection part 14. The first conductive layer 11 and the second conductive layer 13 are interconnected in the connection part 14. The opening 12a of the layer insulation film 12 is sufficiently larger than the connection part 14. Therefore, a margin for aligning the first conductive layer 11 to the opening 12a and a margin for aligning the second conductive layer 13 to the opening 12a become unnecessary.



LEGAL STATUS

[Date of request for examination]

01.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3375117

[Date of registration]

29.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device with which the 1st conductive layer exists only in the range which the laminating of the 1st conductive layer, an interlayer insulation film, and the 2nd conductive layer is carried out one by one, and the field of this opening is partially covered with the 2nd conductive layer in the field of opening of an interlayer insulation film in the semiconductor device which connects the 2nd conductive layer to the 1st conductive layer through opening of an interlayer insulation film, and is covered with the 2nd conductive layer.

[Claim 2] The connection field where the 1st and 2nd conductive layers are connected mutually is a semiconductor device [smaller than the field of opening of an interlayer insulation film] according to claim 1.

[Claim 3] The 2nd conductive layer is a semiconductor device given [a part of verge of opening / at least / of an interlayer insulation film] in wrap claim 1 or 2.

[Claim 4] The 1st and 2nd conductive layers are [both] semiconductor devices according to claim 1 to 3 which consist of a metal.

[Claim 5] The semiconductor device according to claim 1 to 4 which formed the oxide film on anode in a part of side face [at least] of the 1st conductive layer.

[Claim 6] The manufacture approach of a semiconductor device of having the process which forms the 1st conductive layer, the process which forms an interlayer insulation film on this 1st conductive layer, and forms opening in this interlayer insulation film, and the process which also performs patterning of the 1st conductive layer in the field of this opening while forming the 2nd conductive layer on this interlayer insulation film and covering opening of this interlayer insulation film with this 2nd conductive layer partially in connection with patterning of this 2nd conductive layer.

[Claim 7] The process which forms and carries out patterning of the 2nd conductive layer is the manufacture approach of the semiconductor device according to claim 6 which serves as the process which is the field of opening of an interlayer insulation film and separates the 1st conductive layer.

[Claim 8] The process which the process which forms the 1st conductive layer forms the 2nd conductive layer including the process which carries out patterning of this 1st conductive layer, and the process which anodizes this 1st conductive layer, and carries out patterning is the manufacture approach of a semiconductor device according to claim 6 or 7 of being the field of opening of an interlayer insulation film and performing patterning of the 1st conductive layer again in connection with patterning of this 2nd conductive layer.

[Claim 9] Patterning of the 1st and 2nd conductive layers is the manufacture approach of the semiconductor device according to claim 6 to 8 performed by dry etching.

[Claim 10] Opposite arrangement of the substrate of a pair is carried out, and a liquid crystal layer is put among these substrates. To one substrate Each scan electrode and each signal electrode are made to cross mutually, and it arranges. For every crossover site The liquid crystal display which applied the semiconductor device according to claim 1 to 5 in the liquid crystal display which prepares each pixel, arranges the counterelectrode which counters each pixel at the substrate of another side, and drives

each pixel by the drive circuit through each scan electrode and each signal electrode.

[Claim 11] It is the liquid crystal display according to claim 10 with which it has the thin film transistor formed on the substrate, and this thin film transistor contains some of semiconductor devices [at least] according to claim 1 to 5.

[Claim 12] A drive circuit is a liquid crystal display according to claim 10 which is formed on a substrate and contains a semiconductor device according to claim 1 to 5.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device including the structure of connecting two electric conduction patterns through an insulator layer, its manufacture approach, and the liquid crystal display that applied this semiconductor device.

[0002]

[Description of the Prior Art] As a semiconductor device, various things are offered as everyone knows, and an active matrix liquid crystal display is in one of them. This active matrix liquid crystal display is shown in drawing 13 . This liquid crystal display carried out opposite arrangement of the substrate of a pair, put the liquid crystal layer among these substrates, to one substrate, each scan electrode 101 and each signal electrode 102 were made to cross mutually, and have been arranged, and for every crossover site, forms each pixel 103 and arranges the counterelectrode which counters the substrate of another side at each pixel 103. Moreover, while making common connection of each pixel 103 which meets the scan electrode 101 every scan electrode 101 at this scan electrode 101, common connection of each pixel 103 which meets a signal electrode 102 is made every signal electrode 102 at this signal electrode 102.

[0003] Another side of each electrical potential differences VGL and VGH is added to each of other scan electrode 101 which the scan side drive circuit 104 answered each signal from the control circuit 105, added one side of each electrical potential differences VGL and VGH from the electrical-potential-difference generating circuit 106 at the scan electrode 101 which made sequential selection and chose each scan electrode 101, and was not chosen at each horizontal scanning period of every. Moreover, the signal side drive circuit 107 answers each signal from a control circuit 105, and applies alternatively each electrical potential differences VSL and VSH from the electrical-potential-difference generating circuit 106 every signal electrode 102. Furthermore, the electrical-potential-difference generating circuit 106 applies the common electrical potential difference COM to a common electrode.

[0004] Each pixel 103 which meets the scan electrode 101 drives for every horizontal scanning period, the display by these pixels 103 is performed by this, and the display of one screen is performed at an one-frame period.

[0005] In such an active matrix liquid crystal display, the thin film transistor for applying a quartz

substrate and a glass substrate and turning a pixel 103 on and off every pixel 103 as a substrate, is prepared. Furthermore, the scan side drive circuit 104 and the signal side drive circuit 107 are united with a substrate, and reduction and a miniaturization of cost are attained in recent years.

[0006] Thus, about the liquid crystal display which unified the drive circuit, it is SID'96DIGEST, for example. It is indicated by p.17-20. Moreover, it becomes possible to have anodized wiring used as the gate electrode of a thin film transistor, to make it a hillock etc. not occur, even if it uses the aluminum system metal of low resistance for a gate electrode by this, and to control the offset length of a thin film transistor by high degree of accuracy, and transistor actuation is stable here.

[0007]

[Problem(s) to be Solved by the Invention] In such an active matrix liquid crystal display, since high integration is desired strongly, the laminating of each conductive layer may be carried out through an insulator layer, and the laminated structure which says that each conductive layer connects through opening (contact hole) of an insulator layer may be adopted.

[0008] Drawing 14 (a) and (b) have illustrated the structure of connecting each conductive layer through opening of an insulator layer. Here, the laminating of the 1st conductive layer 111, an interlayer insulation film 112, and the 2nd conductive layer 113 is carried out one by one, and the 2nd conductive layer 113 is connected to the 1st conductive layer 111 through opening 112a of an interlayer insulation film 112. Moreover, opening 112a of an interlayer insulation film 112 is smaller than the pattern of the 1st and 2nd conductive layers 111,113, and this opening 112a is covered with the pattern of these conductive layers.

[0009] Here, in the conventional connection structure shown in drawing 14, the connection 114 formed in order to connect the 1st and 2nd conductive layers 111,113 mutually is made larger than opening 112a. This is the result of taking into consideration a gap of the pattern of each class generated at the alignment precision of the 1st and 2nd conductive layers 111,113 to opening 112a and each etching process for forming each class.

[0010] In the design rule used in the usual semi-conductor process If precision of alignment is set to λ , since the width of face of a pattern and the lower limit of spacing will be set to 2λ Each margin of 2λ and both the edges of this 2nd conductive layer 113, respectively λ (both the edges of a connection 114 are extended for these margins), [the width of face of the 2nd conductive layer 113] Each clearance to each pattern besides ***** is set to 2λ at the both sides of this 2nd conductive layer 113, respectively, and the width of face of a tooth space required in order to arrange this 2nd conductive layer 113 is set to 8λ . Furthermore, if two or more 2nd conductive layers 113 are installed as shown in drawing 15, the pitch of these 2nd conductive layer 113 must be set to 5λ which added one half of width-of-face 2λ of the 2nd conductive layer 113 with one half of tooth-space width-of-face 8λ , and must be larger than this.

[0011] Moreover, since each output stage of a drive circuit is prepared corresponding to each signal electrode or each scan electrode when a drive circuit is united with the substrate which was described previously and which has arranged each pixel like, these output stages must be prepared in the same pitch as each pixel, and the densification of wiring or the pattern of a component is required strongly. Especially, in a highly minute liquid crystal panel or the liquid crystal panel for projectors, this pitch may become very small and may be set to 30 micrometers or less depending on the case.

[0012] For this reason, in the drive circuit united with this appearance by the substrate, as the width of face of a tooth space required for each connection 114 of drawing 15 is small, it is more desirable.

[0013] On the other hand, in order to anodize the gate electrode of a thin film transistor like, it is necessary to impress direct current voltage among the gate electrode and the solutions used for anodic oxidation (a tartaric acid or oxalic acid) described previously, and when it is this process, common connection of the gate electrode of each thin film transistor must be made at the impression terminal of direct current voltage. And it is necessary to separate the gate electrode of each thin film transistor after the process of this anodization.

[0014] Therefore, when the gate electrode of each thin film transistor was anodized, it needed to pass through each process as shown in drawing 16 thru/or drawing 20 .

[0015] First, as shown in drawing 16 (a) and (b), patterning of the 1st conductive layer is carried out by the 1st patterning, the circuit pattern 123 containing each gate electrode 121,122 is formed, direct current voltage is impressed between the solutions which use each gate electrode 121,122 for each gate electrode 121,122 and anodic oxidation through a circuit pattern 123 where common connection is made at the impression terminal of direct current voltage, and each gate electrode 121,122 is anodized.

[0016] Then, as shown in drawing 17 (a) and (b), by the 2nd patterning, the part between each gate electrode 121,122 is deleted, and these gate electrodes 121,122 are separated.

[0017] Next, as shown in drawing 18 (a) and (b), the laminating of the interlayer insulation film 124 is carried out, and each opening 124a is formed in this interlayer insulation film 124.

[0018] Furthermore, as shown in drawing 19 , the laminating of the 2nd conductive layer 125 is carried out, and as shown in drawing 20 (a) and (b), patterning of the 2nd conductive layer 125 is carried out.

[0019] In addition, in drawing 16 , drawing 17 , drawing 18 , and drawing 20 , (a) is a top view and (b) is a sectional view.

[0020] However, since the 1st time and the 2nd patterning are needed in order to anodize and carry out patterning of each gate electrode 121,122, many patterning will be performed only once and a photolithography process and an etching process will increase one step at a time here, respectively. Since this was connected with increase of a manufacturing cost, or decline in the rate of an excellent article, a manufacture process which makes a gate electrode anodize was desired without being accompanied by the increment in a process.

[0021] Then, this invention solves such a conventional technical problem, and when adopting the structure of connecting two electric conduction patterns through an insulator layer, it aims at offering the semiconductor device which can make this connection small, its manufacture approach, and the liquid crystal display which applied this semiconductor device.

[0022] Moreover, even if this invention anodizes one electric conduction pattern on the assumption that the structure of connecting two electric conduction patterns through an insulator layer, it aims at offering the semiconductor device which that process does not need to complicate, its manufacture approach, and the liquid crystal display which applied this semiconductor device.

[0023]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, a semiconductor device according to claim 1 carries out the laminating of the 1st conductive layer, an interlayer insulation film, and the 2nd conductive layer one by one, and the 1st conductive layer exists in the field of opening of an interlayer insulation film in the semiconductor device which connects the 2nd conductive layer to the 1st conductive layer through opening of an interlayer insulation film only in the range which the field of this opening is partially covered with the 2nd conductive layer, and is covered with the 2nd conductive layer.

[0024] According to such a configuration, the 1st conductive layer exists only in the range which the field of opening of an interlayer insulation film is partially covered with the 2nd conductive layer, and is covered with the 2nd conductive layer.

[0025] Therefore, the connection field where the 1st and 2nd conductive layers are mutually connected to appearance according to claim 2 is smaller than the field of opening of an interlayer insulation film. Conversely, if it says, opening of an interlayer insulation film will fully be large compared with the connection field of the 1st and 2nd conductive layers. For this reason, alignment of the 2nd conductive layer to the alignment and this opening of the 1st conductive layer to opening of an interlayer insulation film is not needed, but the margin for such alignment becomes unnecessary, and a tooth space required to connect the 1st and 2nd conductive layers can be made small. That is, the flare of both the edges of the connection 114 for compensating a gap of the 1st and 2nd conductive layers 111,113 to opening 112a as shown in drawing 14 is not needed, but a tooth space required to connect the 1st and 2nd

conductive layers only at this rate can be narrowed.

[0026] Moreover, since opening of an interlayer insulation film is enlarged, the faulty connection of the 1st and 2nd conductive layers which consider poor opening of this opening as a cause can be reduced sharply.

[0027] Or the 2nd conductive layer is a wrap to appearance according to claim 3 in a part of verge of opening [at least] of an interlayer insulation film. Therefore, a part of 1st conductive layer will apply inside from the outside of opening, it will be covered with the 2nd conductive layer, and the 1st conductive layer is not completely isolated by opening circles.

[0028] If the 1st and 2nd conductive layers become [both] appearance according to claim 4 from a metal, patterning of the 1st and 2nd conductive layers can be carried out in both the same processes, and shortening of a production process can be attained.

[0029] An oxide film on anode may be formed in appearance according to claim 5 at a part of side face [at least] of the 1st conductive layer.

[0030] In the field of opening of an interlayer insulation film, when carrying out patterning of the 2nd conductive layer if it is necessary to separate this 1st conductive layer after anodizing this 1st conductive layer, if the 1st conductive layer is separated, the process for making this 1st conductive layer separate can be simplified, and shortening of a production process can be attained.

[0031] Next, the manufacture approach of a semiconductor device according to claim 6 The process which forms the 1st conductive layer, and the process which forms an interlayer insulation film on this 1st conductive layer, and forms opening in this interlayer insulation film, While forming the 2nd conductive layer on this interlayer insulation film and covering opening of this interlayer insulation film with this 2nd conductive layer partially in connection with patterning of this 2nd conductive layer, it has the process which also performs patterning of the 1st conductive layer in the field of this opening.

[0032] Thus, after carrying out sequential formation of the 1st conductive layer and the interlayer insulation film and forming opening in this interlayer insulation film, if patterning of the 2nd conductive layer is carried out, patterning of the 1st conductive layer can also be performed in the field of this opening. That is, in the field of opening of an interlayer insulation film, patterning of the 1st and 2nd conductive layers can be carried out to coincidence. Of this, a semiconductor device according to claim 1 is formed.

[0033] The process which forms and carries out patterning of the 2nd conductive layer to appearance according to claim 7 is the field of opening of an interlayer insulation film, and may serve as the process which separates the 1st conductive layer. Or in connection with patterning of this 2nd conductive layer, the process which the process which forms the 1st conductive layer in appearance according to claim 8 forms the 2nd conductive layer including the process which carries out patterning of this 1st conductive layer, and the process which anodizes this 1st conductive layer, and carries out patterning is the field of opening of an interlayer insulation film, and performs patterning of the 1st conductive layer again.

[0034] In this case, after anodizing the 1st conductive layer, the laminating of an interlayer insulation film and the 2nd conductive layer is carried out, it is the field of opening of an interlayer insulation film, and since the 1st conductive layer is separable, the process for making this 1st conductive layer separate can be simplified, and shortening of a production process can be attained next.

[0035] Dry etching may perform patterning of the 1st and 2nd conductive layers to appearance according to claim 9.

[0036] In this case, patterning of the 1st and 2nd conductive layers can be carried out to coincidence, and shortening of a production process can be attained.

[0037] The semiconductor device of this invention carries out opposite arrangement of the substrate of a pair at appearance according to claim 10. Put a liquid crystal layer among these substrates, and make one substrate cross mutually and each scan electrode and each signal electrode are arranged to it. For every crossover site, each pixel is prepared, and the counterelectrode which counters each pixel at the substrate of another side is arranged, and it is applied to the liquid crystal display which drives each

pixel by the drive circuit through each scan electrode and each signal electrode.

[0038] In such a liquid crystal display, since each output stage of a drive circuit is prepared in the same pitch as each pixel, although densification of wiring or the pattern of a component must be carried out, since a tooth space required to connect the 1st and 2nd conductive layers through opening of an interlayer insulation film can be made small, the densification can be coped with enough.

[0039] In this liquid crystal display, even if some semiconductor devices [at least] of this invention are contained in the thin film transistor formed on the substrate, the semiconductor device of this invention may be contained in appearance according to claim 11 in the drive circuit formed on the substrate at appearance according to claim 12.

[0040] In this case, the anodized aluminum or the aluminum containing alloy is [that what is necessary is just to form the gate electrode of a thin film transistor from the 1st conductive layer] applicable as this gate electrode. Moreover, as a transparence substrate, it is cheap, and if an enlargeable glass substrate is used, it will become reduction of the cost of a liquid crystal display enlargeable.

[0041]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to an accompanying drawing. Drawing 1 shows the 1st operation gestalt of the semiconductor device of this invention, (a) is a top view and (b) is a sectional view. With this 1st operation gestalt, the laminating of the 1st conductive layer 11, an interlayer insulation film 12, and the 2nd conductive layer 13 was carried out one by one, and the 1st conductive layer 11 is connected to the 2nd conductive layer 13 through opening 12a of an interlayer insulation film 12.

[0042] In opening 12a of an interlayer insulation film 12, the 1st conductive layer 11 and the 2nd conductive layer 13 are formed in the same configuration, the part of this same configuration serves as a connection 14, and the 1st conductive layer 11 and the 2nd conductive layer 13 are mutually connected by this connection 14.

[0043] Opening 12a of this interlayer insulation film 12 is fully larger than a connection 14. For this reason, the margin for the alignment of the 2nd conductive layer 13 to the margin for the alignment of the 1st conductive layer 11 to opening 12a and opening 12a becomes unnecessary. By this, the flare of both the edges of the connection 114 for compensating a gap of the 1st and 2nd conductive layers 11, 13 to opening 112a as shown in drawing 14 is not needed, but the connection 14 of the 1st and 2nd conductive layers 11 and 13 can be narrowed only at this rate.

[0044] Moreover, if opening 12a of this interlayer insulation film 12 is large, poor opening of this opening 12a can decrease, and the faulty connection of the 1st and 2nd conductive layers 11 and 13 can be reduced sharply.

[0045] Furthermore, since marginal 12b of opening 12a of this interlayer insulation film 12 is covered by the 2nd conductive layer 13, the 1st conductive layer 11 will apply inside from the outside of opening 12a, it will be covered with the 2nd conductive layer 13, this 1st conductive layer 11 is divided, and it is not completely isolated within opening 12a.

[0046] Moreover, the 1st and 2nd conductive layers 11 and 12 are formed with the same metallic material (for example, alloy which consists of aluminum, silicon, a scandium, etc.). In this case, since patterning also of the 1st conductive layer 11 can be carried out to coincidence within opening 12a of an interlayer insulation film 12 when carrying out patterning of the 2nd conductive layer 13, patterning of the 1st and 2nd conductive layers 11 and 12 can be carried out to the same configuration within this opening 12a.

[0047] Drawing 2 shows the modification of the semiconductor device of drawing 1 . Here, within opening 12a of an interlayer insulation film 12, although the 1st conductive layer 11 and the 2nd conductive layer 13 are not the same configurations, the 1st conductive layer 11 is completely covered with the 2nd conductive layer 13.

[0048] Drawing 3 shows the 2nd operation gestalt of the semiconductor device of this invention. The semiconductor device of this 2nd operation gestalt is the polycrystalline silicon thin film transistor 21.

Form the semi-conductor layer 22 on a substrate, and the gate electrode 24 (the 1st conductive layer 11) is formed through gate dielectric film 23 on this semi-conductor layer 22. Even if there are few these gate electrodes 24, form an oxide film on anode 25 in a side face, and an impurity is injected into the semi-conductor layer 22 next. The source field 26 and the drain field 27 are formed in this semi-conductor layer 22, and each electrode 28 and 29 (the 2nd conductive layer 13) is formed in these fields 26 and 27.

[0049] Since an impurity is poured into ***** 22 and the source field 26 and the drain field 27 are formed in the phase which formed the oxide film on anode 25 in the gate electrode 24, each offset field is formed between a channel field, the source field 26, and the drain field 27, and an improvement (reduction of leakage current) of the OFF property of this thin film transistor 21, improvement in the withstand voltage between the source and a drain, etc. can be expected.

[0050] In order to acquire such structure, after performing 1st patterning to the 1st conductive layer 11 containing the gate electrode 24, an electrical potential difference is impressed in a tartaric acid or an oxalic acid solution, and it is necessary to perform 2nd patterning to the 1st conductive layer 11, and to form this 1st conductive layer 11 at a desired pattern after the process of this anodic oxidation of what needs to anodize the side face of this circuit pattern.

[0051] Then, simplification of a production process is attained by serving with patterning of the 2nd conductive layer 13 in the manufacture approach which mentions the 2nd patterning later. The 2nd conductive layer 13 will be formed in a desired pattern of this, and the gate electrode 24 will be formed in the part of it.

[0052] Drawing 4 shows the 1st operation gestalt of the manufacture approach of this invention, and shows the production process of the semiconductor device of drawing 1.

[0053] First, as shown in drawing 4 (a), the 1st conductive layer 11 is formed, and as shown in drawing 4 (b), patterning of this 1st conductive layer 11 is carried out.

[0054] Then, as are shown in drawing 4 (c), and the laminating of the interlayer insulation film 12 is carried out and it is shown in drawing 4 (d), patterning of this interlayer insulation film 12 is carried out, and opening 12a is formed in this interlayer insulation film 12.

[0055] Furthermore, as shown in drawing 4 (e), the laminating of the 2nd conductive layer 13 is carried out, and as shown in drawing 4 (f), patterning of this 2nd conductive layer 13 is carried out. In connection with patterning of this 2nd conductive layer 13, within [both] opening 12a of an interlayer insulation film 12, patterning also of the 1st conductive layer 11 is carried out, and a connection 14 is formed.

[0056] It consists only of a part to which a connection 14 laps with both the 1st and 2nd conductive layers 13, and opening 12a is fully larger than a connection 14 so that clearly also from such a process. For this reason, the margin for the alignment of the 2nd conductive layer 13 to the margin for the alignment of the 1st conductive layer 11 to opening 12a and opening 12a becomes unnecessary, and a connection 14 can be narrowed.

[0057] Drawing 5 thru/or drawing 8 show the 2nd operation gestalt of the manufacture approach of this invention. In addition, in drawing 5, drawing 6, and drawing 8, (a) is a top view and (b) is a sectional view. First, as shown in drawing 5 (a) and (b), the 1st conductive layer 11 is formed on a substrate (drawing is not carried out), and patterning of this 1st conductive layer 11 is carried out. This 1st conductive layer 11 is not disconnected by that middle, and continues. The gate electrode 24 shown in drawing 3 may be included in this 1st conductive layer 11.

[0058] It dips into the solution (for example, a tartaric acid, oxalic acid) which uses this 1st conductive layer 11 for anodic oxidation, direct current voltage is impressed between the 1st conductive layer 11 and a solution, and the front face of this 1st conductive layer 11 is anodized. Under the present circumstances, the gate electrode 24 shown in drawing 3 is also anodized.

[0059] Then, as shown in drawing 6 (a) and (b), the laminating of the interlayer insulation film 12 is carried out, and each openings 12a and 12c are formed in this interlayer insulation film 12.

[0060] Furthermore, as shown in drawing 7, the laminating of the 2nd conductive layer 13 is carried out, and as shown in drawing 8 (a) and (b), patterning of the 2nd conductive layer 13 is carried out. In connection with patterning of this 2nd conductive layer 13, patterning also of the 1st conductive layer 11 is carried out within [both] opening 12a of an interlayer insulation film 12. Moreover, within opening 12c of an interlayer insulation film 12, patterning only of the 1st conductive layer 11 is carried out, and the 1st conductive layer 11 is separated. Furthermore, patterning also of the circumference of the gate electrode 24 is suitably carried out by other opening circles of an interlayer insulation film 12. In this way, the 1st conductive layer 11 is divided into plurality, and a gate electrode, other electrodes, or wiring is formed.

[0061] It is the process shown in drawing 5, and the 1st conductive layer 11 received the 1st patterning, it is the process shown in drawing 8, and has received the 2nd patterning so that clearly also from such a process. However, since this 2nd patterning is also patterning of the 2nd conductive layer 13, it does not necessarily repeat patterning twice only about the 1st conductive layer 11. Therefore, as compared with the process of the anodic oxidation shown in drawing 15 thru/or drawing 19, patterning can be decreased only once, and shortening of a production process can be attained. And by the 2nd patterning, within each opening 12a of an interlayer insulation film 12, and 12c, since the 1st conductive layer 11 is divided into plurality, patterning of this 1st conductive layer 11 can be carried out variously.

[0062] Moreover, if the manufacture approach of this 2nd operation gestalt is applied in order to manufacture a thin film transistor, the gate electrode of this thin film transistor is anodized, the hillock of wiring can be stopped or a transistor can be made into offset structure.

[0063] In addition, what is necessary is to be formed with the electrical conducting material of a class with which the 1st and 2nd conductive layers 11 and 13 differ mutually, or just to apply dry etching as etching of the process shown in drawing 8 (a) and (b), when both of the 1st and 2nd conductive layers 11 and 13 or one side is multilayer structure. This is because anisotropy etching is possible in dry etching to what the fault of the cross section which etch rates differed according to the quality of the material of a conductive layer in many cases, and was formed of etching in wet etching being formed in the shape of a back taper generates in many cases.

[0064] Drawing 9 shows 1 operation gestalt of the liquid crystal display of this invention, and has applied the semiconductor device shown in this liquid crystal display at drawing 1, drawing 2, and drawing 3. This liquid crystal display is the thing of a active-matrix mold, and the digital drive method using the multiplexer circuit as a liquid crystal drive method is used for it, using a decoder circuit as a scanning circuit in the scan side drive circuit 54 and the signal side drive circuit 57. Of course, even if it is other circuitry and drive methods, this invention is applicable similarly.

[0065] In this liquid crystal display, like what is shown in drawing 13, the liquid crystal layer was put between the substrates of a pair, to one substrate 50, each scan electrode 51 and each signal electrode 52 were made to cross mutually, and have been arranged, each pixel 53 was formed for every crossover site, and the counterelectrode which counters the substrate of another side at (it does not illustrate) and each pixel 53 is arranged. Moreover, while making common connection of each pixel 53 which meets the scan electrode 51 every scan electrode 51 at this scan electrode 51, common connection of each pixel 53 which meets a signal electrode 52 is made every signal electrode 52 at this signal electrode 52.

[0066] Another side of each electrical potential differences VGL and VGH is added to each of other scan electrode 51 which the scan side drive circuit 54 answered address signal ADR from a control circuit 55, and the gate signal control signal GPS, added one side of each electrical potential differences VGL and VGH from the electrical-potential-difference generating circuit 56 at the scan electrode 51 which made sequential selection and chose each scan electrode 51, and was not chosen at each horizontal scanning period of every. Moreover, the signal side drive circuit 57 is address signal ADR, the transfer signal TRP, and video signal SIG from a control circuit 55. It answers and each electrical potential difference VGS and electrical potential differences VSL and VSH from the electrical-potential-difference generating circuit 56 are applied alternatively every signal electrode 52. Furthermore, the

electrical-potential-difference generating circuit 56 applies the common electrical potential difference COM to a common electrode.

[0067] Each pixel 53 which meets the scan electrode 51 drives for every horizontal scanning period, the display by these pixels 53 is performed by this, and the display of one screen is performed at an one-frame period.

[0068] Moreover, each pixel 53 of this liquid crystal display is equipped with a transistor 60 and the pixel capacity CL and CS as shown in drawing 10. As this transistor 60, the polycrystalline silicon thin film transistor shown in drawing 3 may be applied. The production process of a liquid crystal display can be simplified by this.

[0069] On the other hand, in this liquid crystal display, the scan side drive circuit 54 and the signal side drive circuit 57 are formed on the substrate 50 which has arranged each pixel 53. In this case, while preparing each output stage of the scan side drive circuit 54 in the same pitch as each scan electrode 51, it is necessary to prepare each output stage of the signal side drive circuit 57 in the same pitch as each signal electrode 52.

[0070] Then, if equipment as shown in drawing 1 and drawing 2 is applied to each output stage of the scan side drive circuit 54, or each output stage of the signal side drive circuit 57, the circuit pattern of each output stage can be made highly minute, and it will become easy to prepare each output stage in the same pitch as each electrode.

[0071] For example, the output stage of the signal side drive circuit 57 is constituted as shown in drawing 11, and it has prepared this output stage every signal-electrode line 52. Here, address signal ADR is inputted into a decoder circuit 63 through each address signal line 61 and each signal line 62, address signal ADR is decrypted here, and it is adding to the latch circuit 64 by making the output into a sampling signal. A latch circuit 64 answers a sampling signal, latches each video signal SIG in three primary colors through each video-signal line 65 and each signal line 66, and outputs these video signals SIG to a transfer circuit 67. A transfer circuit 67 answers the transfer signal TRP, and outputs each video signal SIG to each decoder circuit 68. Corresponding to each decoder circuit 68, each analog switch 69 is formed, respectively, and according to a video signal SIG, a decoder circuit 68 chooses either of each analog switch 69, and turns it ON. When each analog switch 69 has inputted each electrical potential difference VGS which is mutually different through each electrical-potential-difference signal line 71 and each signal line 72 and one analog switch 69 becomes ON, one electrical potential difference VGS is outputted to one signal electrode 52 through this analog switch 69.

[0072] Each address signal line 61 and each signal line 62 were connected mutually, and it is necessary to connect each video-signal line 65 and each signal line 66 mutually, to have connected each electrical-potential-difference signal line 71 and each signal line 72 mutually, and to arrange the connection of each signal line 62, the connection of each signal line 66, and the connection of each signal line 72 within the pitch of each signal electrode 52 so that clearly from this drawing 11.

[0073] Then, if the equipment shown in drawing 1 and drawing 2 is applied to these connections, it will become a circuit pattern as shown in drawing 12. In this drawing, each perpendicular wiring 73 is formed from the 1st conductive layer 11, and is equivalent to each signal line 62, each signal line 66, and each signal line 72. Moreover, each level wiring 74 is formed from the 2nd conductive layer 13, and is equivalent to each address signal line 61, each video-signal line 65, and each electrical-potential-difference signal line 71. Furthermore, each opening 12a is formed in the 1st and 2nd conductive layers 11 and the interlayer insulation film 12 between 13.

[0074] So that clearly, when the circuit pattern shown in this drawing 12 is compared with the conventional circuit pattern shown in drawing 14 in the conventional circuit pattern of drawing 14 With the circuit pattern shown in drawing 12, to the pitch of each 2nd conductive layer 113 having been required for more than 5λ (λ being alignment precision) The pitch of each perpendicular wiring 73 is able to contract to 4λ (the distance λ of width-of-face 2λ of the perpendicular wiring 73, opening 12a, and the perpendicular wiring 73, and sum of the amount λ of

overlap). By this, one of the factors which restrains the pitch of wiring in a drive circuit is eased, it becomes possible to set the pitch of wiring as each pixel and an EQC, and the area of the signal side drive circuit 57 also becomes small.

[0075] Since these transistors and the physical size of each wiring become very large compared with the integrated circuit on a single crystal silicon substrate especially when each polycrystalline silicon thin film transistor formed on the glass substrate constitutes each pixel 53 of this liquid crystal display, the effectiveness by reduction of the pitch of wiring will become very big.

[0076]

[Effect of the Invention] Above, according to the semiconductor device according to claim 1, the 1st conductive layer exists only in the range which the field of opening of an interlayer insulation film is partially covered with the 2nd conductive layer, and is covered with the 2nd conductive layer so that clearly from explanation of explanation.

[0077] Therefore, the connection field where the 1st and 2nd conductive layers are mutually connected to appearance according to claim 2 is smaller than the field of opening of an interlayer insulation film. Conversely, if it says, opening of an interlayer insulation film will fully be large compared with the connection field of the 1st and 2nd conductive layers. For this reason, alignment of the 2nd conductive layer to the alignment and this opening of the 1st conductive layer to opening of an interlayer insulation film is not needed, but the margin for such alignment becomes unnecessary, and a tooth space required to connect the 1st and 2nd conductive layers can be made small. That is, the flare of both the edges of the connection 114 for compensating a gap of the 1st and 2nd conductive layers 111, 113 to opening 112a as shown in drawing 14 is not needed, but a tooth space required to connect the 1st and 2nd conductive layers only at this rate can be narrowed.

[0078] Moreover, since opening of an interlayer insulation film is enlarged, the faulty connection of the 1st and 2nd conductive layers which consider poor opening of this opening as a cause can be reduced sharply.

[0079] Or the 2nd conductive layer is a wrap to appearance according to claim 3 in a part of verge of opening [at least] of an interlayer insulation film. For this reason, a part of 1st conductive layer will apply inside from the outside of opening, it will be covered with the 2nd conductive layer, and the 1st conductive layer is not completely isolated by opening circles.

[0080] If the 1st and 2nd conductive layers become [both] appearance according to claim 4 from a metal, patterning of the 1st and 2nd conductive layers can be carried out in both the same processes, and shortening of a production process can be attained.

[0081] An oxide film on anode may be formed in appearance according to claim 5 at a part of side face [at least] of the 1st conductive layer.

[0082] In the field of opening of an interlayer insulation film, when carrying out patterning of the 2nd conductive layer if it is necessary to separate this 1st conductive layer after anodizing this 1st conductive layer, if the 1st conductive layer is separated, the process for making this 1st conductive layer separate can be simplified, and shortening of a production process can be attained.

[0083] Next, according to the manufacture approach of a semiconductor device according to claim 6, after carrying out sequential formation of the 1st conductive layer and the interlayer insulation film and forming opening in this interlayer insulation film, patterning of the 2nd conductive layer is carried out, and patterning of the 1st conductive layer is also performed in the field of this opening. That is, in the field of opening of an interlayer insulation film, patterning of the 1st and 2nd conductive layers is carried out to coincidence. Of this, a semiconductor device according to claim 1 is formed.

[0084] The process which forms and carries out patterning of the 2nd conductive layer to appearance according to claim 7 is the field of opening of an interlayer insulation film, and may serve as the process which separates the 1st conductive layer. Or in connection with patterning of this 2nd conductive layer, the process which the process which forms the 1st conductive layer in appearance according to claim 8 forms the 2nd conductive layer including the process which carries out patterning of this 1st conductive

layer, and the process which anodizes this 1st conductive layer, and carries out patterning is the field of opening of an interlayer insulation film, and performs patterning of the 1st conductive layer again.
[0085] In this case, after anodizing the 1st conductive layer, the laminating of an interlayer insulation film and the 2nd conductive layer is carried out, it is the field of opening of an interlayer insulation film, and since the 1st conductive layer is separable, the process for making this 1st conductive layer separate can be simplified, and shortening of a production process can be attained next.
[0086] Dry etching may perform patterning of the 1st and 2nd conductive layers to appearance

according to claim 9.
[0087] In this case, patterning of the 1st and 2nd conductive layers can be carried out to coincidence, and shortening of a production process can be attained.

[0088] The semiconductor device of this invention is applied to a liquid crystal display at appearance according to claim 10. In such a liquid crystal display, since each output stage of a drive circuit is prepared in the same pitch as each pixel, although densification of wiring or the pattern of a component must be carried out, since a tooth space required to connect the 1st and 2nd conductive layers through opening of an interlayer insulation film can be made small, the densification can be coped with enough.

[0089] In this liquid crystal display, even if the semiconductor device of this invention is contained in the thin film transistor formed on the substrate, the semiconductor device of this invention may be contained in appearance according to claim 11 in the drive circuit formed on the substrate at appearance according to claim 12.

[0090] In this case, the anodized aluminum or the aluminum containing alloy is [that what is necessary is just to form the gate electrode of a thin film transistor from the 1st conductive layer] applicable as this gate electrode. Moreover, as a transparence substrate, it is cheap, and if an enlargeable glass substrate is used, it will become reduction of the cost of a liquid crystal display enlargeable.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The 1st operation gestalt of the semiconductor device of this invention is shown, for (a), it is a top view and (b) is a sectional view.

[Drawing 2] The modification of the semiconductor device of drawing 1 is shown, for (a), it is a top view and (b) is a sectional view.

[Drawing 3] The sectional view showing the 2nd operation gestalt of the semiconductor device of this invention

[Drawing 4] Drawing showing the 1st operation gestalt of the manufacture approach of this invention

[Drawing 5] Drawing in which showing the 2nd operation gestalt of the manufacture approach of this invention, and showing the process which carries out patterning of the 1st conductive layer

[Drawing 6] Drawing in which showing the 2nd operation gestalt of the manufacture approach of this

invention, and showing the process which forms an interlayer insulation film

[Drawing 7] Drawing in which showing the 2nd operation gestalt of the manufacture approach of this invention, and showing the process which carries out the laminating of the 2nd conductive layer

[Drawing 8] Drawing in which showing the 2nd operation gestalt of the manufacture approach of this invention, and showing the process which carries out patterning of the 2nd conductive layer

[Drawing 9] The block diagram showing 1 operation gestalt of the liquid crystal display of this invention

[Drawing 10] The circuit diagram showing the configuration of the pixel in the liquid crystal display of drawing 9

[Drawing 11] The circuit diagram showing the configuration of the output stage of the signal side drive circuit in the liquid crystal display of drawing 9

[Drawing 12] The circuit pattern in which a part of output stage of the signal side drive circuit in the liquid crystal display of drawing 9 is shown

[Drawing 13] The block diagram showing the conventional liquid crystal display

[Drawing 14] The conventional connection structure is shown, for (a), it is a top view and (b) is a sectional view.

[Drawing 15] The top view showing the circuit pattern which has the connection structure of drawing 14

[Drawing 16] Drawing in which showing the conventional manufacture approach and showing the process which performs 1st patterning of the 1st conductive layer

[Drawing 17] Drawing in which showing the conventional manufacture approach and showing the process which performs 2nd patterning of the 1st conductive layer

[Drawing 18] Drawing in which showing the conventional manufacture approach and showing the process which forms an interlayer insulation film

[Drawing 19] Drawing in which showing the conventional manufacture approach and showing the process which carries out the laminating of the 2nd conductive layer

[Drawing 20] Drawing in which showing the conventional manufacture approach and showing the process which carries out patterning of the 2nd conductive layer

[Description of Notations]

11 Conductive Layer

12 Interlayer Insulation Film

13 2nd Conductive Layer

14 Connection

21 Polycrystalline Silicon Thin Film Transistor

22 Semi-conductor Layer

23 Gate Dielectric Film

24 Gate Electrode

25 Oxide Film on Anode

26 Source Field

27 Drain Field

28 29 Electrode

50 Substrate

51 Scan Electrode

52 Signal Electrode

53 Pixel

54 Scan Side Drive Circuit

55 Control Circuit

56 Electrical-Potential-Difference Generating Circuit

57 Signal Side Drive Circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3938

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 21/768		H 0 1 L 21/90	B
G 0 2 F 1/1345		G 0 2 F 1/1345	
1/136	5 0 0	1/136	5 0 0
H 0 1 L 27/12		H 0 1 L 27/12	C
29/786		29/78	6 1 6 K
審査請求 未請求 請求項の数12 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願平9-154119

(22) 出願日 平成9年(1997) 6月11日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

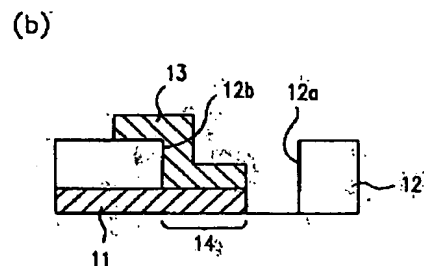
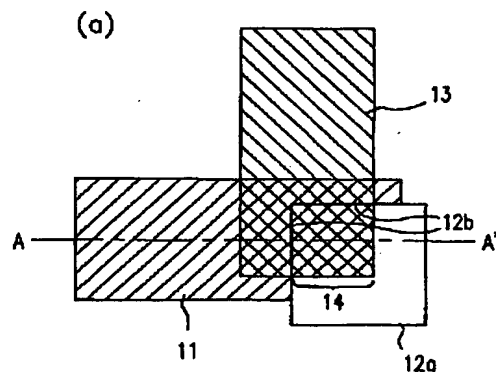
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、及び液晶表示装置

(57) 【要約】

【課題】 2つの導電パターンを絶縁膜を介して接続する構造を採用するときに、この接続部を小さくする。

【解決手段】 第1導電層11、層間絶縁膜12及び第2導電層13を順次積層し、第1導電層11を層間絶縁膜12の開口部12aを介して第2導電層13に接続している。層間絶縁膜12の開口部12aにおいては、第1導電層11と第2導電層13が同一形状に形成されており、この同一形状の部分が接続部14となり、この接続部14で第1導電層11と第2導電層13が相互に接続されている。この層間絶縁膜12の開口部12aは、接続部14よりも十分に大きい。このため、開口部12aに対する第1導電層11の位置合わせのためのマージン、及び開口部12aに対する第2導電層13の位置合わせのためのマージンが不要となる。



(2)

【特許請求の範囲】

【請求項1】 第1導電層、層間絶縁膜及び第2導電層を順次積層し、第2導電層を層間絶縁膜の開口部を介して第1導電層に接続する半導体装置において、層間絶縁膜の開口部の領域では、第2導電層によって該開口部の領域が部分的に被覆され、第2導電層によって被覆される範囲でのみ、第1導電層が存在する半導体装置。

【請求項2】 第1及び第2導電層が相互に接続される接続領域は、層間絶縁膜の開口部の領域よりも小さい請求項1に記載の半導体装置。

【請求項3】 第2導電層は、層間絶縁膜の開口部の縁の少なくとも一部分を覆う請求項1又は2に記載の半導体装置。

【請求項4】 第1及び第2導電層は共に金属からなる請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 第1導電層の側面の少なくとも一部分に、陽極酸化膜を形成した請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】 第1導電層を形成する工程と、この第1導電層上に層間絶縁膜を形成し、この層間絶縁膜に開口部を形成する工程と、この層間絶縁膜上に第2導電層を形成し、この第2導電層のパターニングに伴い、この第2導電層によって該層間絶縁膜の開口部を部分的に被覆すると共に、この開口部の領域で、第1導電層のパターニングをも行う工程とを有する半導体装置の製造方法。

【請求項7】 第2導電層を形成してパターニングする工程は、層間絶縁膜の開口部の領域で、第1導電層を分離する工程を兼ねる請求項6に記載の半導体装置の製造方法。

【請求項8】 第1導電層を形成する工程は、この第1導電層をパターニングする工程と、この第1導電層を陽極酸化する工程を含み、第2導電層を形成してパターニングする工程は、層間絶縁膜の開口部の領域で、この第2導電層のパターニングに伴い、第1導電層のパターニングを再度行う請求項6又は7に記載の半導体装置の製造方法。

【請求項9】 第1及び第2導電層のパターニングは、ドライエッチングによって行う請求項6乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】 一对の基板を対向配置して、これらの基板間に液晶層を挟み込み、一方の基板に、各走査電極及び各信号電極を相互に交差させて配置し、それぞれの交差部位毎に、各画素を設け、他方の基板に、各画素に対向する対向電極を配置し、各画素を各走査電極及び各信号電極を通じ駆動回路によって駆動する液晶表示装置において、請求項1乃至5のいずれかに記載の半導体装置を適用した液晶表示装置。

【請求項11】 基板上に形成された薄膜トランジスタを備え、この薄膜トランジスタは、請求項1乃至5のいずれかに記載の半導体装置の少なくとも一部分を含む請求項10に記載の液晶表示装置。

【請求項12】 駆動回路は、基板上に形成され、請求項1乃至5のいずれかに記載の半導体装置を含む請求項10に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、2つの導電パターンを絶縁膜を介して接続する構造を含む半導体装置及びその製造方法、及び、この半導体装置を適用した液晶表示装置に関する。

【0002】

【従来の技術】周知の様に、半導体装置としては、多種多様なものが提供されており、その1つに、アクティブマトリクス型液晶表示装置がある。このアクティブマトリクス型液晶表示装置を図13に示す。この液晶表示装置は、一对の基板を対向配置して、これらの基板間に液晶層を挟み込み、一方の基板に、各走査電極101及び各信号電極102を相互に交差させて配置し、それぞれの交差部位毎に、各画素103を設け、他方の基板に、各画素103に対向する対向電極を配置している。また、各走査電極101毎に、走査電極101に沿う各画素103を該走査電極101に共通接続すると共に、各信号電極102毎に、信号電極102に沿う各画素103を該信号電極102に共通接続している。

【0003】各水平走査期間の度に、走査側駆動回路104は、制御回路105からの各信号に応答して、各走査電極101を順次選択し、選択した走査電極101に電圧発生回路106からの各電圧VGL、VGHのうち的一方を加え、選択しなかった他の各走査電極101に各電圧VGL、VGHのうちの他方を加える。また、信号側駆動回路107は、制御回路105からの各信号に応答して、各信号電極102毎に、電圧発生回路106からの各電圧VSL、VSHを選択的に加える。更に、電圧発生回路106は、共通電圧COMを共通電極に加える。

【0004】これによって、各水平走査期間毎に、走査電極101に沿う各画素103が駆動されて、これらの画素103による表示が行われ、1フレーム期間に、1画面の表示が行われる。

【0005】この様なアクティブマトリクス型液晶表示装置においては、基板として、石英基板やガラス基板を適用し、また各画素103毎に、画素103をオンオフするための薄膜トランジスタを設けている。更に、近年は、走査側駆動回路104や信号側駆動回路107を基板に一体化して、コストの低減や小型化を図っている。

【0006】この様に駆動回路を一体化した液晶表示装置については、例えばSID'96DIGEST p.

17～20に開示されている。また、ここでは、薄膜ト

(3)

3

ランジスタのゲート電極となる配線を陽極酸化しており、これによってゲート電極に低抵抗のアルミニウム系金属を用いてもヒロック等が発生しないようにし、かつ薄膜トランジスタのオフセット長を高精度で制御することが可能となつて、トランジスタ動作が安定化する。

【0007】

【発明が解決しようとする課題】この様なアクティブマトリクス型液晶表示装置においては、高集積化が強く望まれるので、各導電層を絶縁膜を介して積層し、各導電層を絶縁膜の開口部（コンタクトホール）を通じて接続すると言う積層構造を採用することがある。

【0008】図14(a), (b)は、各導電層を絶縁膜の開口部を通じて接続する構造を例示している。ここでは、第1導電層111、層間絶縁膜112及び第2導電層113を順次積層しており、第2導電層113を層間絶縁膜112の開口部112aを介して第1導電層111に接続している。また、層間絶縁膜112の開口部112aは、第1及び第2導電層111、113のパターンよりも小さく、これらの導電層のパターンによって該開口部112aが覆われている。

【0009】ここで、図14に示す従来の接続構造においては、第1及び第2導電層111、113を相互に接続するために形成された接続部114が開口部112aよりも大きくされている。これは、開口部112aに対する第1及び第2導電層111、113の位置合わせ精度や、各層を形成するためのそれぞれのエッチング工程で発生する各層のパターンのずれを考慮した結果である。

【0010】通常の半導体プロセスで用いられるデザインルールでは、位置合わせの精度を λ とすると、パターンの幅及び間隔の最小寸法を 2λ とするので、第2導電層113の幅が 2λ 、この第2導電層113の両縁の各マージンがそれぞれ λ （これらのマージンのために接続部114の両縁を拡げる）、この第2導電層113の両側に隣合う他の各パターンまでの各離間距離がそれぞれ 2λ となり、この第2導電層113を配置するために必要なスペースの幅は 8λ となる。更に、図15に示す様に、複数の第2導電層113を並設するならば、これらの第2導電層113のピッチは、スペース幅 8λ の $1/2$ と第2導電層113の幅 2λ の $1/2$ を加算した 5λ となり、これよりも大きくなければならない。

【0011】また、先に述べた様に駆動回路を各画素を配置した基板に一体化した場合は、各信号電極あるいは各走査電極に対応して駆動回路の各出力段を設けているので、これらの出力段を各画素と同一のピッチで設けねばならず、配線や素子のパターンの高密度化が強く要求される。特に、高精細液晶パネルやプロジェクト用液晶パネルでは、このピッチが非常に小さくなり、場合によっては、 $30\mu\text{m}$ 以下になることもある。

【0012】このため、この様に基板に一体化される駆

4

動回路においては、図15の各接続部114のために必要なスペースの幅が小さければ、小さい程好ましい。

【0013】一方、先に述べた様に薄膜トランジスタのゲート電極を陽極酸化するには、ゲート電極と陽極酸化に用いる溶液（酒石酸あるいは蔞酸等）間に直流電圧を印加する必要がある、この工程のときには、各薄膜トランジスタのゲート電極を直流電圧の印加端子に共通接続せねばならない。そして、この陽極酸化の工程の後に、各薄膜トランジスタのゲート電極を分離する必要がある。

【0014】したがって、各薄膜トランジスタのゲート電極を陽極酸化する場合は、図16乃至図20に示す様な各工程を経る必要があった。

【0015】まず、図16(a), (b)に示す様に第1回目のパターニングによって、第1導電層をパターニングして、各ゲート電極121、122を含む配線パターン123を形成しておき、各ゲート電極121、122を配線パターン123を通じて直流電圧の印加端子に共通接続した状態で、各ゲート電極121、122と陽極酸化に用いる溶液間に直流電圧を印加して、各ゲート電極121、122を陽極酸化する。

【0016】この後、図17(a), (b)に示す様に第2回目のパターニングによって、各ゲート電極121、122間の部分を削除し、これらのゲート電極121、122を分離する。

【0017】次に、図18(a), (b)に示す様に層間絶縁膜124を積層して、この層間絶縁膜124に各開口部124aを形成する。

【0018】更に、図19に示す様に、第2導電層125を積層し、図20(a), (b)に示す様に第2導電層125をパターニングする。

【0019】なお、図16、図17、図18及び図20において、(a)は平面図、(b)は断面図である。

【0020】しかしながら、ここでは、各ゲート電極121、122を陽極酸化してパターニングするために、第1回目と第2回目のパターニングを必要とするので、パターニングを1回だけ多く行うことになり、フォトリソグラフィ工程とエッチング工程がそれぞれ1ステップずつ増加することになった。このことは、製造コストの増大や良品率の低下に結びつくので、工程の増加を伴わずに、ゲート電極を陽極酸化させる製造プロセスが望まれていた。

【0021】そこで、この発明は、この様な従来の課題を解決するものであって、2つの導電パターンを絶縁膜を介して接続する構造を採用するときに、この接続部を小さくすることが可能な半導体装置及びその製造方法、及び、この半導体装置を適用した液晶表示装置を提供することを目的とする。

【0022】また、この発明は、2つの導電パターンを絶縁膜を介して接続する構造を前提とし、一方の導電パ

(4)

5

ターンを陽極酸化しても、その工程が複雑化せずに済む半導体装置及びその製造方法、及び、この半導体装置を適用した液晶表示装置を提供することを目的とする。

【0023】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の半導体装置は、第1導電層、層間絶縁膜及び第2導電層を順次積層し、第2導電層を層間絶縁膜の開口部を介して第1導電層に接続する半導体装置において、層間絶縁膜の開口部の領域では、第2導電層によって該開口部の領域が部分的に被覆され、第2導電層によって被覆される範囲でのみ、第1導電層が存在している。

【0024】このような構成によれば、第2導電層によって層間絶縁膜の開口部の領域が部分的に被覆され、第2導電層によって被覆される範囲でのみ、第1導電層が存在している。

【0025】したがって、請求項2に記載の様に、第1及び第2導電層が相互に接続される接続領域は、層間絶縁膜の開口部の領域よりも小さい。逆に言うならば、層間絶縁膜の開口部は、第1及び第2導電層の接続領域と比べて十分に大きい。このため、層間絶縁膜の開口部に対する第1導電層の位置合わせ、及び該開口部に対する第2導電層の位置合わせを必要とせず、これらの位置合わせのためのマージンが不要となり、第1及び第2導電層を接続するのに必要なスペースを小さくすることができる。つまり、図14に示す様な開口部112aに対する第1及び第2導電層111、113のずれを補償するための接続部114の両縁の拡がりが必要とせず、この分だけ、第1及び第2導電層を接続するのに必要なスペースを狭くすることができる。

【0026】また、層間絶縁膜の開口部を大きくするので、この開口部の開口不良を原因とする第1及び第2導電層の接続不良を大幅に低減することができる。

【0027】あるいは、請求項3に記載の様に、第2導電層は、層間絶縁膜の開口部の縁の少なくとも一部分を覆う。したがって、第1導電層の一部分が開口部の外側から内側にかけて第2導電層によって覆われることになり、第1導電層が開口部内で完全に孤立することはない。

【0028】請求項4に記載の様に、第1及び第2導電層が共に金属からなれば、第1及び第2導電層を同一のプロセスで共にパターニングすることができ、製造工程の短縮化を図ることができる。

【0029】請求項5に記載の様に、第1導電層の側面の少なくとも一部分に、陽極酸化膜を形成しても良い。

【0030】この第1導電層を陽極酸化した後に、この第1導電層を分離する必要があるならば、第2導電層をパターニングするときに、層間絶縁膜の開口部の領域で、第1導電層を分離すれば、この第1導電層を分離させるための工程を簡略化することができ、製造工程の短

6

縮化を図ることができる。

【0031】次に、請求項6に記載の半導体装置の製造方法は、第1導電層を形成する工程と、この第1導電層上に層間絶縁膜を形成し、この層間絶縁膜に開口部を形成する工程と、この層間絶縁膜上に第2導電層を形成し、この第2導電層のパターニングに伴い、この第2導電層によって該層間絶縁膜の開口部を部分的に被覆すると共に、この開口部の領域で、第1導電層のパターニングをも行う工程とを有している。

10 【0032】この様に第1導電層及び層間絶縁膜を順次形成し、この層間絶縁膜に開口部を形成してから、第2導電層をパターニングすれば、この開口部の領域で、第1導電層のパターニングをも行うことができる。つまり、層間絶縁膜の開口部の領域では、第1及び第2導電層を同時にパターニングすることができる。これによって、請求項1に記載の半導体装置が形成される。

20 【0033】請求項7に記載の様に、第2導電層を形成してパターニングする工程は、層間絶縁膜の開口部の領域で、第1導電層を分離する工程を兼ねても良い。あるいは、請求項8に記載の様に、第1導電層を形成する工程は、この第1導電層をパターニングする工程と、この第1導電層を陽極酸化する工程を含み、第2導電層を形成してパターニングする工程は、この第2導電層のパターニングに伴い、層間絶縁膜の開口部の領域で、第1導電層のパターニングを再度行う。

30 【0034】この場合は、第1導電層を陽極酸化してから、層間絶縁膜及び第2導電層を積層し、この後に、層間絶縁膜の開口部の領域で、第1導電層を分離することができるので、この第1導電層を分離させるための工程を簡略化することができ、製造工程の短縮化を図ることができる。

【0035】請求項9に記載の様に、第1及び第2導電層のパターニングは、ドライエッチングによって行っても良い。

【0036】この場合は、第1及び第2導電層を同時にパターニングすることができ、製造工程の短縮化を図ることができる。

【0037】この発明の半導体装置は、請求項10に記載の様に、一対の基板を対向配置して、これらの基板間に液晶層を挟み込み、一方の基板に、各走査電極及び各信号電極を相互に交差させて配置し、それぞれの交差部位毎に、各画素を設け、他方の基板に、各画素に対向する対向電極を配置し、各画素を各走査電極及び各信号電極を通じ駆動回路によって駆動する液晶表示装置に適用される。

50 【0038】このような液晶表示装置では、駆動回路の各出力段を各画素と同一のピッチで設けるので、配線や素子のパターンを高密度化せねばならないものの、第1及び第2導電層を層間絶縁膜の開口部を介して接続するのに必要なスペースを小さくできるので、その高密度化に

(5)

7

十分対処することができる。

【0039】この液晶表示装置においては、請求項11に記載の様に、この発明の半導体装置の少なくとも一部分が基板上に形成された薄膜トランジスタに含まれていても、あるいは請求項12に記載の様に、この発明の半導体装置が基板上に形成された駆動回路に含まれていても良い。

【0040】この場合、第1導電層から薄膜トランジスタのゲート電極を形成すれば良く、このゲート電極として、陽極酸化されたアルミ又はアルミ合金を適用することができる。また、透明基板として、安価で大型化が可能なガラス基板を用いれば、液晶表示装置のコストの低減と大型化が可能となる。

【0041】

【発明の実施の形態】以下、この発明の実施形態を添付図面を参照して説明する。図1は、この発明の半導体装置の第1実施形態を示しており、(a)は平面図、

(b)は断面図である。この第1実施形態では、第1導電層11、層間絶縁膜12及び第2導電層13を順次積層し、第1導電層11を層間絶縁膜12の開口部12aを介して第2導電層13に接続している。

【0042】層間絶縁膜12の開口部12aにおいては、第1導電層11と第2導電層13が同一形状に形成されており、この同一形状の部分が接続部14となり、この接続部14で第1導電層11と第2導電層13が相互に接続されている。

【0043】この層間絶縁膜12の開口部12aは、接続部14よりも十分に大きい。このため、開口部12aに対する第1導電層11の位置合わせのためのマージン、及び開口部12aに対する第2導電層13の位置合わせのためのマージンが不要となる。これによって、図14に示す様な開口部12aに対する第1及び第2導電層11、13のずれを補償するための接続部14の両縁の拡がりを必要とせず、この分だけ、第1及び第2導電層11、13の接続部14を狭くすることができる。

【0044】また、この層間絶縁膜12の開口部12aが大きいと、この開口部12aの開口不良が低減し、第1及び第2導電層11、13の接続不良を大幅に低減することができる。

【0045】更に、この層間絶縁膜12の開口部12aの縁12bを第2導電層13によって覆っているので、第1導電層11が開口部12aの外側から内側にかけて第2導電層13によって覆われることになり、この第1導電層11が分断されて開口部12a内で完全に孤立することはない。

【0046】また、第1及び第2導電層11、12は、同じ金属材料（例えばアルミニウム、シリコンとスカンジウム等からなる合金）によって形成される。この場合、第2導電層13をパターニングするときに、層間絶

8

縁膜12の開口部12a内で、第1導電層11をも同時にパターニングすることができるので、この開口部12a内で、第1及び第2導電層11、12を同一形状にパターニングすることができる。

【0047】図2は、図1の半導体装置の変形例を示している。ここでは、層間絶縁膜12の開口部12a内で、第1導電層11と第2導電層13が同一形状ではないものの、第1導電層11が第2導電層13によって完全に被覆されている。

【0048】図3は、この発明の半導体装置の第2実施形態を示している。この第2実施形態の半導体装置は、多結晶シリコン薄膜トランジスタ21であって、基板上に半導体層22を形成し、この半導体層22上にゲート絶縁膜23を介してゲート電極24（第1導電層11）を形成し、このゲート電極24の少なくとも側面に陽極酸化膜25を形成し、この後に不純物を半導体層22に注入して、この半導体層22にソース領域26及びドレイン領域27を形成し、これらの領域26、27にそれぞれの電極28、29（第2導電層13）を形成したものである。

【0049】ゲート電極24に陽極酸化膜25を形成した段階で、不純物を半導体層22に注入して、ソース領域26及びドレイン領域27を形成するので、チャネル領域とソース領域26及びドレイン領域27間に、それぞれのオフセット領域が形成され、この薄膜トランジスタ21のオフ特性の改善（リーク電流の低減）や、ソースとドレイン間の耐電圧の向上等を期待することができる。

【0050】このような構造を得るには、ゲート電極24を含む第1導電層11に対して第1回目のパターニングを施した後に、酒石酸又は蔞酸溶液中で電圧を印加して、この配線パターンの側面を陽極酸化する必要があるものの、この陽極酸化の工程の後には、第1導電層11に対して第2回目のパターニングを施して、この第1導電層11を所望のパターンに形成する必要がある。

【0051】そこで、第2回目のパターニングを後述する製造方法における第2導電層13のパターニングと兼ねることによって、製造工程の簡略化を図る。これによって、第2導電層13は、所望のパターンに形成され、その一部にゲート電極24が形成されることになる。

【0052】図4は、この発明の製造方法の第1実施形態を示しており、図1の半導体装置の製造工程を示している。

【0053】まず、図4(a)に示す様に、第1導電層11を成膜して、図4(b)に示す様に、この第1導電層11をパターニングする。

【0054】この後、図4(c)に示す様に、層間絶縁膜12を積層し、図4(d)に示す様に、この層間絶縁膜12をパターニングして、この層間絶縁膜12に開口部12aを形成する。

(6)

9

【0055】更に、図4(e)に示す様に、第2導電層13を積層し、図4(f)に示す様に、この第2導電層13をパターニングする。この第2導電層13のパターニングに伴い、層間絶縁膜12の開口部12a内では、第1導電層11も共にパターニングされ、接続部14が形成される。

【0056】この様な工程からも明らかな様に、接続部14が第1及び第2導電層13の相互に重なる部分のみからなり、また開口部12aが接続部14よりも十分に大きい。このため、開口部12aに対する第1導電層11の位置合わせのためのマージン、及び開口部12aに対する第2導電層13の位置合わせのためのマージンが不要となり、接続部14を狭くすることができる。

【0057】図5乃至図8は、この発明の製造方法の第2実施形態を示している。なお、図5、図6及び図8において、(a)は平面図、(b)は断面図である。まず、図5(a)、(b)に示す様に基板(図せず)上に、第1導電層11を成膜して、この第1導電層11をパターニングする。この第1導電層11は、その途中で切断されることのない連続したものである。この第1導電層11に、図3に示すゲート電極24を含んでいても良い。

【0058】この第1導電層11を陽極酸化に用いる溶液(例えば酒石酸、蔞酸)中に浸して、第1導電層11と溶液間に直流電圧を印加し、この第1導電層11の表面を陽極酸化する。この際、図3に示すゲート電極24も陽極酸化される。

【0059】この後、図6(a)、(b)に示す様に層間絶縁膜12を積層して、この層間絶縁膜12に各開口部12a、12cを形成する。

【0060】更に、図7に示す様に第2導電層13を積層し、図8(a)、(b)に示す様に第2導電層13をパターニングする。この第2導電層13のパターニングに伴い、層間絶縁膜12の開口部12a内では、第1導電層11も共にパターニングされる。また、層間絶縁膜12の開口部12c内では、第1導電層11のみがパターニングされて、第1導電層11が分離される。更に、ゲート電極24の周辺も層間絶縁膜12の他の開口部内で適宜にパターニングされる。こうして第1導電層11が複数に分離され、ゲート電極や、他の電極あるいは配線等が形成される。

【0061】この様な工程からも明らかな様に、第1導電層11は、図5に示す工程で、第1回目のパターニングを受け、図8に示す工程で、第2回目のパターニングを受けている。ところが、この第2回目のパターニングは、第2導電層13のパターニングでもあるから、第1導電層11のみについて、パターニングを2回繰り返すわけではない。したがって、図15乃至図19に示す陽極酸化の工程と比較すると、パターニングを1回だけ減少することができ、製造工程の短縮化を図ることができ

10

る。しかも、第2回目のパターニングによって、層間絶縁膜12の各開口部12a、12c内で、第1導電層11が複数に分離されるので、この第1導電層11を多様にパターニングすることができる。

【0062】また、この第2実施形態の製造方法を薄膜トランジスタを製造するために応用すれば、この薄膜トランジスタのゲート電極を陽極酸化して、配線のヒロックを抑えたり、トランジスタをオフセット構造とすることができる。

【0063】なお、第1及び第2導電層11、13が相互に異なる種類の導電材料で形成されていたり、第1及び第2導電層11、13のうちの両方又は一方が多層構造である場合は、図8(a)、(b)に示す工程のエッチングとして、ドライエッチングを適用すれば良い。これは、ウェットエッチングでは、導電層の材質に応じてエッチング速度が異なることが多く、エッチングによって形成された断面が逆テーパ状に形成される等の不具合が発生することが多いのに対して、ドライエッチングでは、非等方性エッチングが可能なのである。

【0064】図9は、この発明の液晶表示装置の一実施形態を示しており、この液晶表示装置に図1、図2及び図3に示す半導体装置を適用している。この液晶表示装置は、アクティブマトリクス型のものであり、走査側駆動回路54及び信号側駆動回路57における走査回路としてデコーダ回路を用い、液晶駆動方式としてはマルチプレクサ回路を用いたデジタル駆動方式を採用している。勿論、他の回路構成及び駆動方式であっても、この発明を同様に適用することができる。

【0065】この液晶表示装置では、図13に示すものと同様に、一対の基板間に液晶層を挟み込み、一方の基板50に、各走査電極51及び各信号電極52を相互に交差させて配置し、それぞれの交差部位毎に、各画素53を設け、他方の基板に(図せず)、各画素53に対向する対向電極を配置している。また、各走査電極51毎に、走査電極51に沿う各画素53を該走査電極51に共通接続すると共に、各信号電極52毎に、信号電極52に沿う各画素53を該信号電極52に共通接続している。

【0066】各水平走査期間の度に、走査側駆動回路54は、制御回路55からのアドレス信号ADR及びゲート信号制御信号GPSに応答して、各走査電極51を順次選択し、選択した走査電極51に電圧発生回路56からの各電圧VGL、VGHのうちの一方を加え、選択しなかった他の各走査電極51に各電圧VGL、VGHのうちの他方を加える。また、信号側駆動回路57は、制御回路55からのアドレス信号ADR、転送信号TRP及び映像信号SIGに応答して、各信号電極52毎に、電圧発生回路56からの各電圧VGS、電圧VSL、VSHを選択的に加える。更に、電圧発生回路56は、共通電圧COMを共通電極に加える。

【0067】これによって、各水平走査期間毎に、走査電極51に沿う各画素53が駆動されて、これらの画素53による表示が行われ、1フレーム期間に、1画面の表示が行われる。

【0068】また、この液晶表示装置の各画素53は、図10に示す様にトランジスタ60及び画素容量CL、CSを備えている。このトランジスタ60として、図3に示す多結晶シリコン薄膜トランジスタを適用しても構わない。これによって、液晶表示装置の製造工程を簡略化することができる。

【0069】一方、この液晶表示装置においては、各画素53を配置した基板50上に、走査側駆動回路54及び信号側駆動回路57を設けている。この場合、走査側駆動回路54の各出力段を各走査電極51と同一のピッチで設けると共に、信号側駆動回路57の各出力段を各信号電極52と同一のピッチで設ける必要がある。

【0070】そこで、走査側駆動回路54の各出力段や信号側駆動回路57の各出力段に、図1及び図2に示す様な装置を適用すれば、各出力段の配線パターンを高精細化することができ、各出力段を各電極と同一のピッチで設けることが容易となる。

【0071】例えば、信号側駆動回路57の出力段は、図11に示す様に構成されており、各信号電極線52毎に、この出力段を設けている。ここでは、アドレス信号ADRを各アドレス信号線61及び各信号線62を通じてデコーダ回路63に入力し、ここでアドレス信号ADRを復号化して、その出力をサンプリング信号としてラッチ回路64に加えている。ラッチ回路64は、サンプリング信号にตอบสนองして、3原色の各映像信号SIGを各映像信号線65及び各信号線66を通じてラッチし、これらの映像信号SIGを転送回路67に出力する。転送回路67は、転送信号TRPにตอบสนองして、各映像信号SIGを各デコーダ回路68に出力する。各デコーダ回路68に対応して各アナログスイッチ69をそれぞれ設けており、デコーダ回路68は、映像信号SIGに応じて、各アナログスイッチ69のいずれかを選択してオンにする。各アナログスイッチ69は、相互に異なるそれぞれの電圧VGSを各電圧信号線71及び各信号線72を通じて入力しており、1つのアナログスイッチ69がオンとなったときには、このアナログスイッチ69を通じて1つの電圧VGSが1本の信号電極52に出力される。

【0072】この図11から明らかな様に、各アドレス信号線61と各信号線62を相互に接続し、各映像信号線65及び各信号線66を相互に接続し、各電圧信号線71及び各信号線72を相互に接続しており、各信号線62の接続部、各信号線66の接続部、及び各信号線72の接続部を各信号電極52のピッチ以内に配置する必要がある。

【0073】そこで、これらの接続部に、図1及び図2に示す装置を適用すると、図12に示す様な配線パター

ンとなる。同図において、各垂直配線73は、第1導電層11から形成されたものであって、各信号線62、各信号線66及び各信号線72に相当する。また、各水平配線74は、第2導電層13から形成されたものであって、各アドレス信号線61、各映像信号線65及び各電圧信号線71に相当する。更に、各開口部12aは、第1及び第2導電層11、13間の層間絶縁膜12に形成されたものである。

【0074】この図12に示す配線パターンと、図14に示す従来の配線パターンを比較すると明らかな様に、図14の従来の配線パターンでは、各第2導電層113のピッチが5λ（λは位置合わせ精度）以上必要であったのに対して、図12に示す配線パターンでは、各垂直配線73のピッチが4λ（垂直配線73の幅2λ、開口部12aと垂直配線73の距離λ及びオーバーラップ量λの和）まで縮小することが可能である。これによって、駆動回路における配線のピッチを制約する要因の1つが緩和され、配線のピッチを各画素と同等に設定することが可能となり、信号側駆動回路57の面積も小さくなる。

【0075】特に、この液晶表示装置の各画素53をガラス基板上に形成されたそれぞれの多結晶シリコン薄膜トランジスタによって構成する場合は、これらのトランジスタや各配線の物理的なサイズが単結晶シリコン基板上の集積回路に比べると極めて大きくなるため、配線のピッチの減少による効果は極めて大きなものとなる。

【0076】

【発明の効果】以上説明の説明から明らかな様に、請求項1に記載の半導体装置によれば、第2導電層によって層間絶縁膜の開口部の領域が部分的に被覆され、第2導電層によって被覆される範囲でのみ、第1導電層が存在している。

【0077】したがって、請求項2に記載の様に、第1及び第2導電層が相互に接続される接続領域は、層間絶縁膜の開口部の領域よりも小さい。逆に言うならば、層間絶縁膜の開口部は、第1及び第2導電層の接続領域と比べて十分に大きい。このため、層間絶縁膜の開口部に対する第1導電層の位置合わせ、及び該開口部に対する第2導電層の位置合わせを必要とせず、これらの位置合わせのためのマージンが不要となり、第1及び第2導電層を接続するのに必要なスペースを小さくすることができる。つまり、図14に示す様な開口部112aに対する第1及び第2導電層111、113のずれを補償するための接続部114の両縁の拡がりを必要とせず、この分だけ、第1及び第2導電層を接続するのに必要なスペースを狭くすることができる。

【0078】また、層間絶縁膜の開口部を大きくすることで、この開口部の開口不良を原因とする第1及び第2導電層の接続不良を大幅に低減することができる。

【0079】あるいは、請求項3に記載の様に、第2導

(8)

13

電層は、層間絶縁膜の開口部の縁の少なくとも一部分を覆う。このため、第1導電層の一部分が開口部の外側から内側にかけて第2導電層によって覆われることになり、第1導電層が開口部内で完全に孤立することはない。

【0080】請求項4に記載の様に、第1及び第2導電層が共に金属からなれば、第1及び第2導電層を同一のプロセスで共にパターンニングすることができ、製造工程の短縮化を図ることができる。

【0081】請求項5に記載の様に、第1導電層の側面の少なくとも一部分に、陽極酸化膜を形成しても良い。

【0082】この第1導電層を陽極酸化した後に、この第1導電層を分離する必要があるならば、第2導電層をパターンニングするときに、層間絶縁膜の開口部の領域で、第1導電層を分離すれば、この第1導電層を分離させるための工程を簡略化することができ、製造工程の短縮化を図ることができる。

【0083】次に、請求項6に記載の半導体装置の製造方法によれば、第1導電層及び層間絶縁膜を順次形成し、この層間絶縁膜に開口部を形成してから、第2導電層をパターンニングし、この開口部の領域で、第1導電層のパターンニングをも行う。つまり、層間絶縁膜の開口部の領域では、第1及び第2導電層を同時にパターンニングする。これによって、請求項1に記載の半導体装置が形成される。

【0084】請求項7に記載の様に、第2導電層を形成してパターンニングする工程は、層間絶縁膜の開口部の領域で、第1導電層を分離する工程を兼ねても良い。あるいは、請求項8に記載の様に、第1導電層を形成する工程は、この第1導電層をパターンニングする工程と、この第1導電層を陽極酸化する工程を含み、第2導電層を形成してパターンニングする工程は、この第2導電層のパターンニングに伴い、層間絶縁膜の開口部の領域で、第1導電層のパターンニングを再度行う。

【0085】この場合は、第1導電層を陽極酸化してから、層間絶縁膜及び第2導電層を積層し、この後に、層間絶縁膜の開口部の領域で、第1導電層を分離することができるので、この第1導電層を分離させるための工程を簡略化することができ、製造工程の短縮化を図ることができる。

【0086】請求項9に記載の様に、第1及び第2導電層のパターンニングは、ドライエッチングによって行っても良い。

【0087】この場合は、第1及び第2導電層を同時にパターンニングすることができ、製造工程の短縮化を図ることができる。

【0088】この発明の半導体装置は、請求項10に記載の様に、液晶表示装置に適用される。この様な液晶表示装置では、駆動回路の各出力段を各画素と同一のピッチで設けるので、配線や素子のパターンを高密度化せね

14

ばならないものの、第1及び第2導電層を層間絶縁膜の開口部を介して接続するのに必要なスペースを小さくできるので、その高密度化に十分対処することができる。

【0089】この液晶表示装置においては、請求項11に記載の様に、この発明の半導体装置が基板上に形成された薄膜トランジスタに含まれていても、あるいは請求項12に記載の様に、この発明の半導体装置が基板上に形成された駆動回路に含まれていても良い。

【0090】この場合、第1導電層から薄膜トランジスタのゲート電極を形成すれば良く、このゲート電極として、陽極酸化されたアルミ又はアルミ合金を適用することができる。また、透明基板として、安価で大型化が可能なガラス基板を用いれば、液晶表示装置のコストの低減と大型化が可能となる。

【図面の簡単な説明】

【図1】この発明の半導体装置の第1実施形態を示しており、(a)は平面図、(b)は断面図

【図2】図1の半導体装置の変形例を示しており、(a)は平面図、(b)は断面図

【図3】この発明の半導体装置の第2実施形態を示す断面図

【図4】この発明の製造方法の第1実施形態を示す図

【図5】この発明の製造方法の第2実施形態を示しており、第1導電層をパターンニングする工程を示す図

【図6】この発明の製造方法の第2実施形態を示しており、層間絶縁膜を形成する工程を示す図

【図7】この発明の製造方法の第2実施形態を示しており、第2導電層を積層する工程を示す図

【図8】この発明の製造方法の第2実施形態を示しており、第2導電層をパターンニングする工程を示す図

【図9】この発明の液晶表示装置の一実施形態を示すブロック図

【図10】図9の液晶表示装置における画素の構成を示す回路図

【図11】図9の液晶表示装置における信号側駆動回路の出力段の構成を示す回路図

【図12】図9の液晶表示装置における信号側駆動回路の出力段の一部を示す配線パターン

【図13】従来の液晶表示装置を示すブロック図

【図14】従来の接続構造を示しており、(a)は平面図、(b)は断面図

【図15】図14の接続構造を有する配線パターンを示す平面図

【図16】従来の製造方法を示しており、第1導電層の第1回目のパターンニングを行う工程を示す図

【図17】従来の製造方法を示しており、第1導電層の第2回目のパターンニングを行う工程を示す図

【図18】従来の製造方法を示しており、層間絶縁膜を形成する工程を示す図

【図19】従来の製造方法を示しており、第2導電層を

(9)

15

積層する工程を示す図

【図20】従来の製造方法を示しており、第2導電層をパターニングする工程を示す図

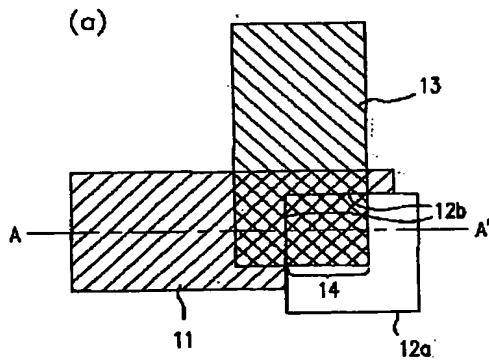
【符号の説明】

- 11 導電層
12 層間絶縁膜
13 第2導電層
14 接続部
21 多結晶シリコン薄膜トランジスタ
22 半導体層
23 ゲート絶縁膜
24 ゲート電極

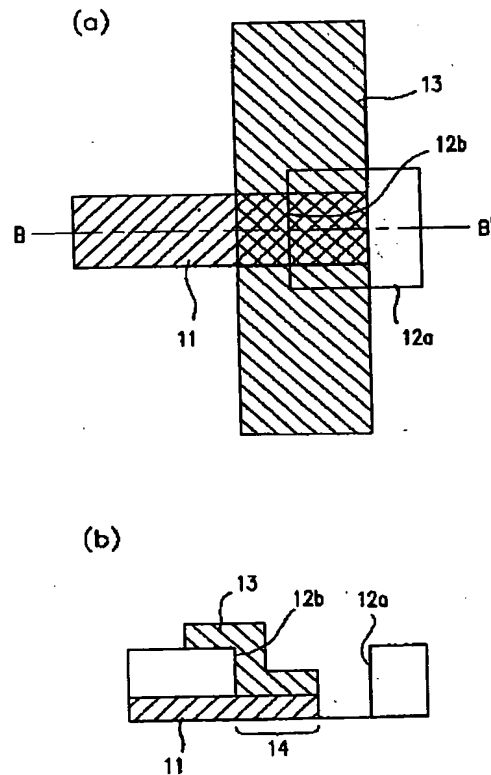
16

- 25 陽極酸化膜
26 ソース領域
27 ドレイン領域
28, 29 電極
50 基板
51 走査電極
52 信号電極
53 画素
54 走査側駆動回路
55 制御回路
56 電圧発生回路
57 信号側駆動回路

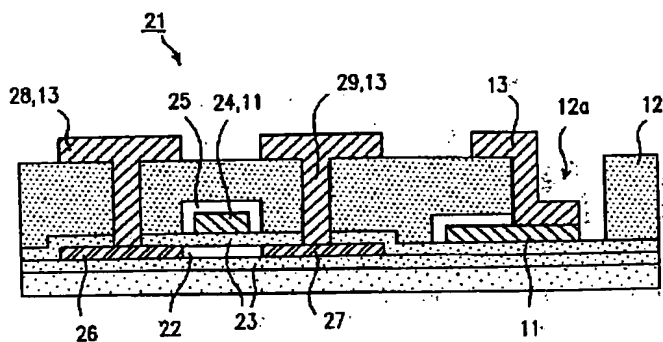
【図1】



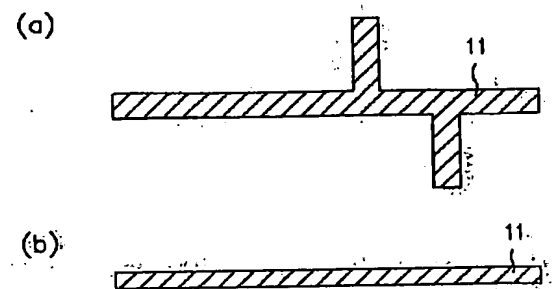
【図2】



【図3】

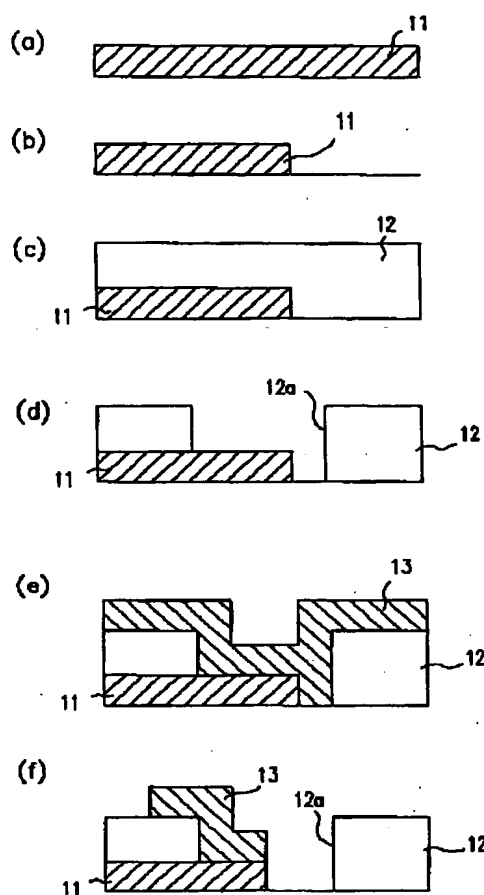


【図5】

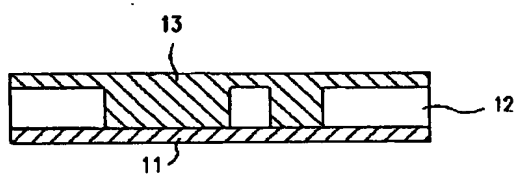


(10)

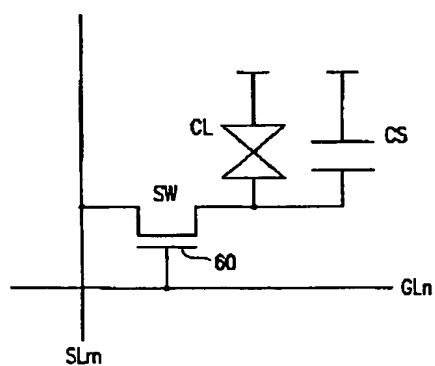
【図4】



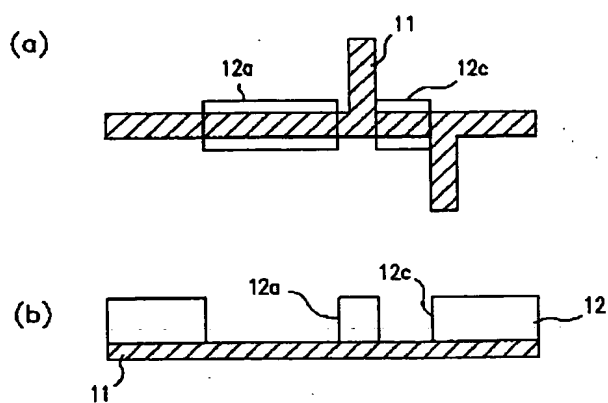
【図7】



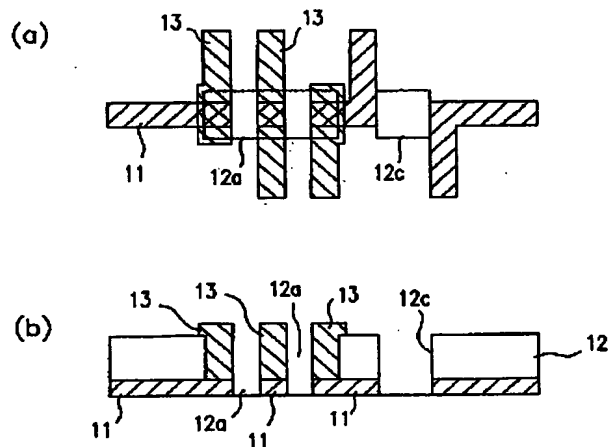
【図10】



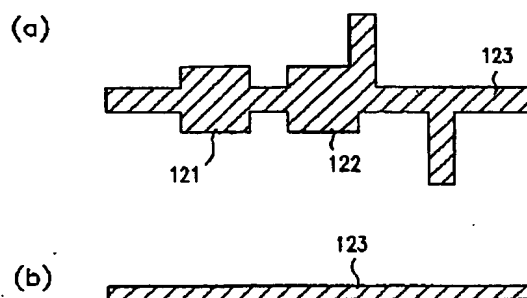
【図6】



【図8】

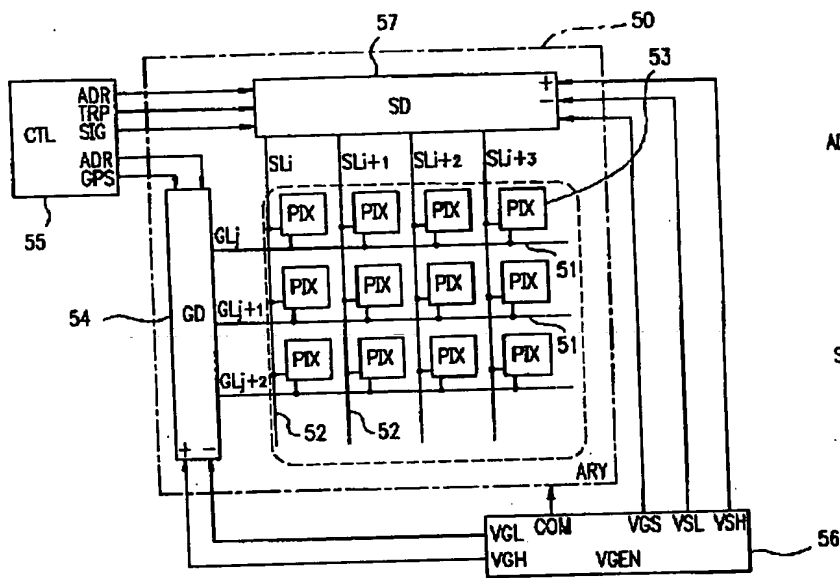


【図16】

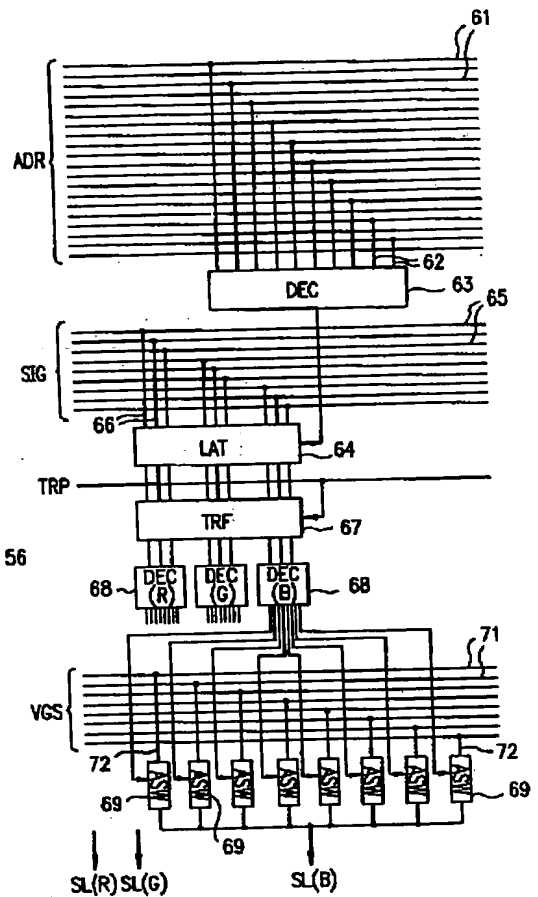


(11)

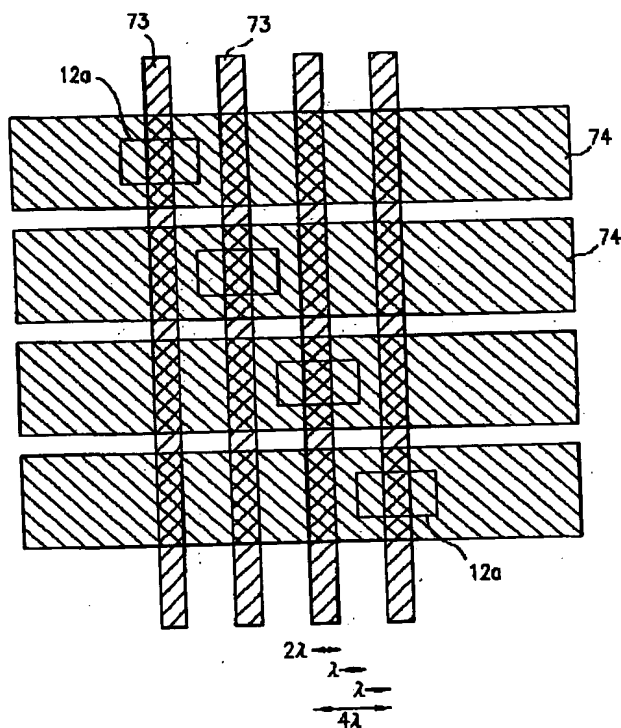
【図9】



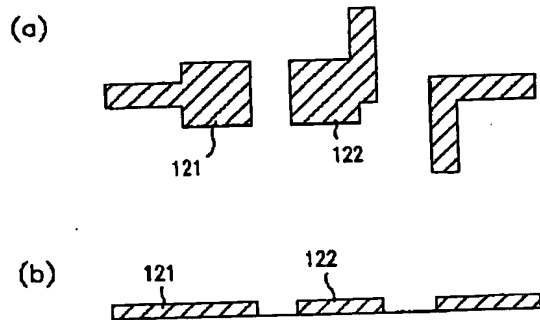
【図11】



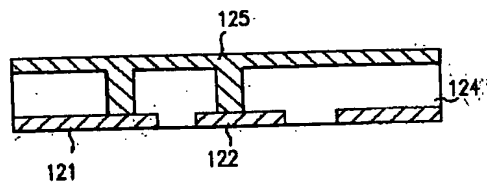
【図12】



【図17】

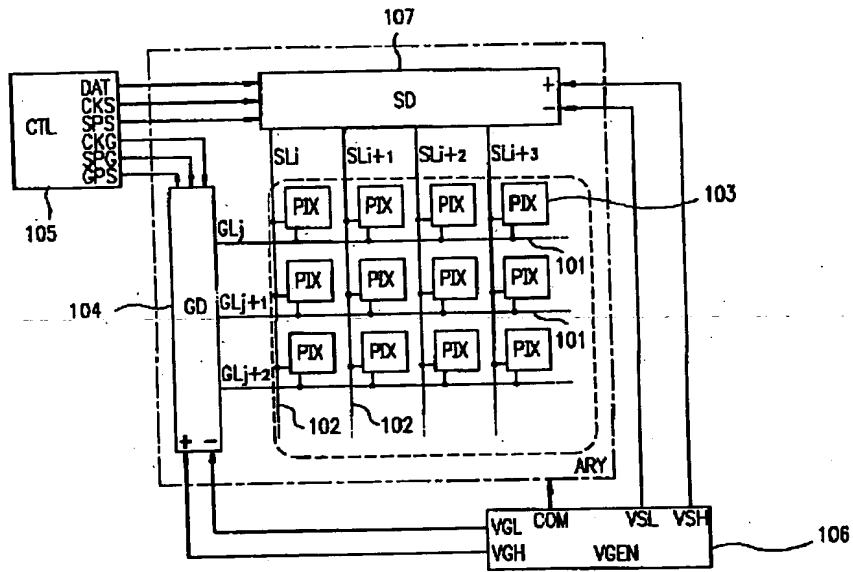


【図19】

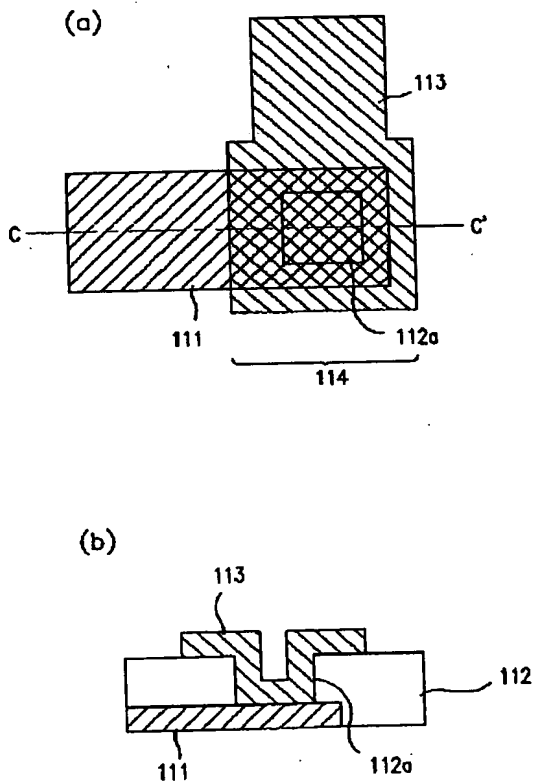


(12)

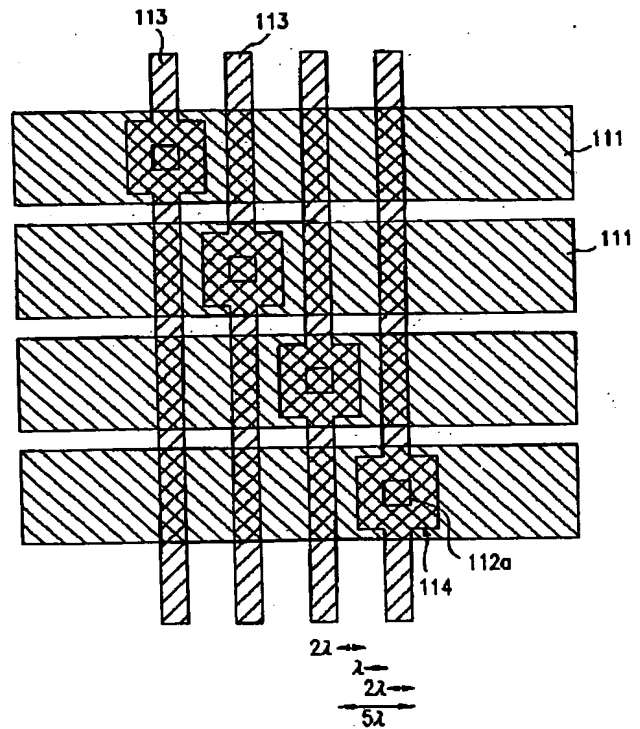
【図13】



【図14】

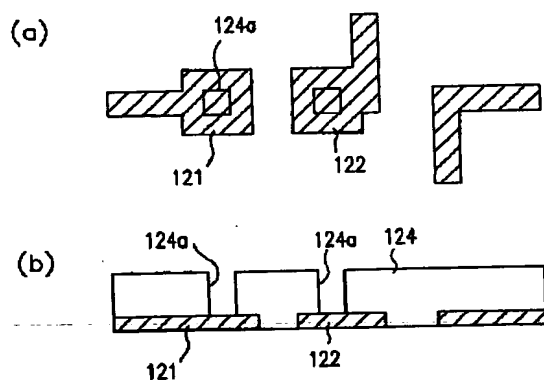


【図15】

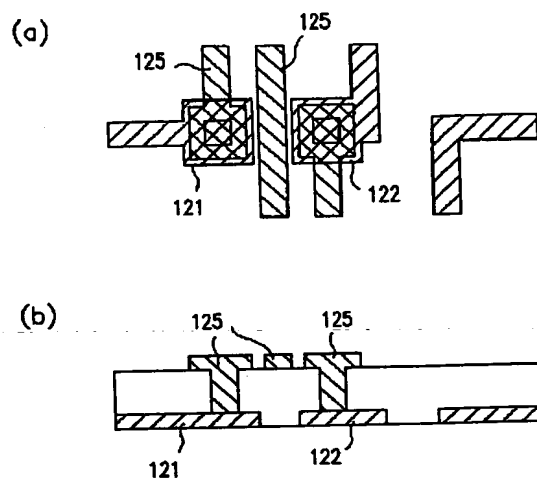


(13)

【図18】



【図20】



フロントページの続き

(51) Int. Cl. 6
H 0 1 L 21/336

識別記号

F I

H 0 1 L 29/78

6 1 6 S

6 2 7 C

(72) 発明者 酒井 保
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 張 宏勇
神奈川県厚木市長谷398 株式会社半導体
エネルギー研究所内

(72) 発明者 小山 潤
神奈川県厚木市長谷398 株式会社半導体
エネルギー研究所内